

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-093042

(43)Date of publication of application : 10.04.1998

(51)Int.Cl.

H01L 27/108

H01L 21/8242

H01L 27/04

H01L 21/822

(21)Application number : 08-243687

(71)Applicant : FUJITSU LTD

(22)Date of filing : 13.09.1996

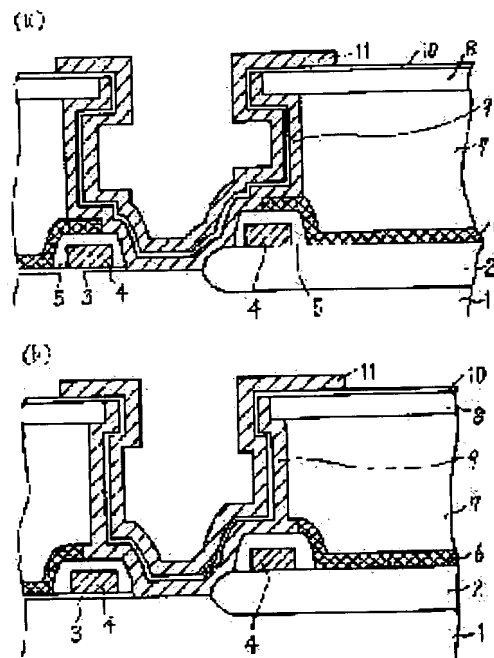
(72)Inventor : MITANI JUNICHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the capacitance of a capacitor, while meeting requirements for alignment margin and electrical isolation of adjacent conductive films by making the interior diameter of a through-hole larger than the opening and contact part.

SOLUTION: On an Si substrate 1 are formed a field oxide film 2, gate oxide film 3, a gate 4, an insulating film 5, a silicon nitride film 6, B-contg. phosphosilicate glass-made interlayer insulating film 7, a silicon dioxide film 8, a storage electrode 9 and a counter electrode 11 of a capacitor and a dielectric film 10. To form through-holes, the layer insulation films 7, 8 are formed from two or more layers which are different in etching rate. After the through-holes are formed by an anisotropic etching, they are formed by an isotropic etching, utilizing the etching rate differences. The through-hole shape can be determined as desired according to the insulation film structure. Thus it is possible to increase the capacitance of the capacitor, while meeting requirements for alignment margin and electrical isolation of the adjacent conductive films.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-93042

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl.⁸

H 0 1 L 27/108
21/8242
27/04
21/822

識別記号

F I

H 0 1 L 27/10
27/04

6 2 1 Z
C

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平8-243687

(22) 出願日 平成 8 年(1996) 9月13日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号

(72) 発明者 三谷 純一

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

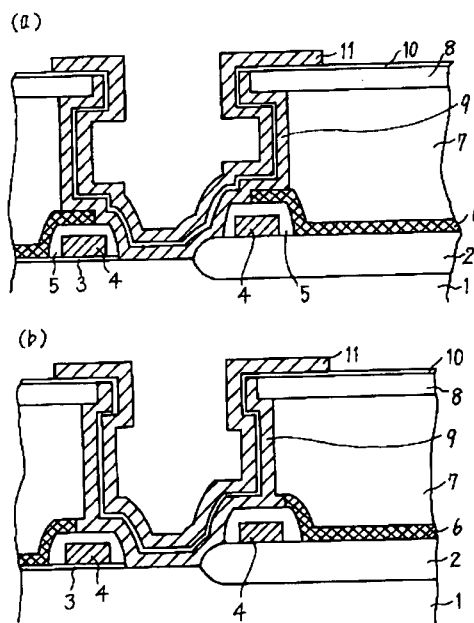
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 キャパシタコンタクトの開口部及びビット線コンタクト部の位置合わせ余裕と隣接する導電膜との電気的分離の要求を満たしつつ、キャパシタの容量を増加する。

【解決手段】 半導体基板上に形成されたゲートとその両側に形成された一対の不純物拡散領域とを含む MOS FET と、該 MOS FET を覆う絶縁膜と、該絶縁膜に形成され且つ該不純物拡散領域の少なくとも一方に接続するスルーホールと、該スルーホール内の少なくとも一部に形成されたキャパシタとを有し、該スルーホールは、表面部よりも内部の方が幅広く形成されている半導体装置、あるいは該スルーホールは、表面部及び底部よりも中間部の方が幅広く形成されていることを特徴とする半導体装置。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 半導体基板上に形成されたゲートとその両側に形成された一対の不純物拡散領域とを含むMOS FETと、該MOS FETを覆う絶縁膜と、該絶縁膜に形成され且つ該不純物拡散領域の少なくとも一方に接続するスルーホールと、該スルーホール内の少なくとも一部に形成されたキャパシタとを有し、該スルーホールは、表面部よりも内部の方が幅広く形成されていることを特徴とする半導体装置。

【請求項2】 半導体基板上に形成されたゲートとその両側に形成された一対の不純物拡散領域とを含むMOS FETと、該MOS FETを覆う絶縁膜と、該絶縁膜に形成され且つ該不純物拡散領域の少なくとも一方に接続するスルーホールと、該スルーホール内の少なくとも一部に形成されたキャパシタとを有し、該スルーホールは、表面部及び底部よりも中間部の方が幅広く形成されていることを特徴とする半導体装置。

【請求項3】 半導体基板上にゲートとその両側に一対の不純物拡散領域とを含むMOS FETを形成する工程と、該MOS FETを覆う複数層の絶縁膜を形成する工程と、該絶縁膜に該不純物拡散領域の少なくとも一方に接続し且つ表面部よりも内部の方が幅の広いスルーホールを形成する工程と、該スルーホール内の少なくとも一部にキャパシタを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】 半導体基板上にゲートとその両側に一対の不純物拡散領域とを含むMOS FETを形成する工程と、該MOS FETを覆う複数層の絶縁膜を形成する工程と、該絶縁膜に該不純物拡散領域の少なくとも一方に接続し且つ表面部及び底部よりも中間部の方が幅の広いスルーホールを形成する工程と、該スルーホール内の少なくとも一部にキャパシタを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項5】 半導体基板上にゲートとその両側に一対の不純物拡散領域とを含むMOS FETを形成する工程と、該MOS FETを覆う絶縁膜を形成する工程と、該絶縁膜に該不純物拡散領域の少なくとも一方に接続し且つ表面部よりも内部の方が幅の広いスルーホールを形成する工程と、該スルーホール内の少なくとも一部にキャパシタを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項6】 半導体基板上にゲートとその両側に一対の不純物拡散領域とを含むMOS FETを形成する工程と、該MOS FETを覆う絶縁膜を形成する工程と、該絶縁膜に該不純物拡散領域の少なくとも一方に接続し且つ表面部及び底部よりも中間部の方が幅の広いスルーホールを形成する工程と、該スルーホール内の少なくとも一部にキャパシタを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に係り、特に高集積DRAM及びその製造方法に関する。

【0002】本発明を利用して、フォトリソグラフィ工程における位置合わせ余裕及び電気的分離を確保しながら、キャパシタの容量を大きくし、微細なメモリセルを実現するようにする。

【0003】

【従来の技術】図4(a)、(b)は従来例の説明図である。図において、1は半導体基板、2はフィールド酸化膜、3はゲート酸化膜、4はゲート、5は絶縁膜、6は窒化シリコン(Si_3N_4)膜、9はキャパシタの蓄積電極、10は誘電体膜、11はキャパシタの対向電極、12は層間絶縁膜である。

【0004】従来例では、キャパシタコンタクトのためのスルーホールの側面は垂直またはテーパ形状となっている。このようなキャパシタにおいては、容量を大きくするためにホール径を大きくする場合、開口部ではビット線コンタクトとの位置合わせ余裕をとり、また電気的分離のための制約を受ける。

【0005】また、コンタクト部においてもホール径や位置ずれが大きい場合は、図4(a)に示されるように、コンタクトの形成がゲートに対して自己整合であっても、フィールド酸化膜が掘られてしまい、キャパシタに突出部を形成して電界集中により誘電体膜の絶縁破壊が起りやすくなる等の問題が起り、ホール径を大きくすることには制約を受ける。

【0006】図4(b)のように、コンタクトの形成を位置合わせによって行う場合は、容量の蓄積電極がゲート電極と短絡しやすくなるので、ホール径はさらに小さくしなければならない。

【0007】従って、このような形状のキャパシタの場合は容量を増加するためにホール径を一樣に大きくすることには制約があり、このような開口部の制約を無くするための有効な手段として、ビット線コンタクトを先に形成して、その後にキャパシタを形成する方法があるが、工程数が増えてしまうという問題がある。

【0008】

【発明が解決しようとする課題】本発明は、キャパシタコンタクトの開口部及びビット線コンタクト部の位置合わせ余裕と隣接する導電膜との電気的分離の要求を満たしつつ、キャパシタの容量を増加することを目的とする。

【0009】

【課題を解決するための手段】上記課題の解決は、

1) 半導体基板上に形成されたゲートとその両側に形成された一対の不純物拡散領域とを含むMOS FETと、該MOS FETを覆う絶縁膜と、該絶縁膜に形成され且つ該不純物拡散領域の少なくとも一方に接続するスルーホール

と、該スルーホール内の少なくとも一部に形成されたキャパシタとを有し、該スルーホールは、表面部よりも内部の方が幅広く形成されている半導体装置、あるいは
 2) 半導体基板上に形成されたゲートとその両側に形成された一对の不純物拡散領域とを含むMOS FET と、該MOS FET を覆う絶縁膜と、該絶縁膜に形成され且つ該不純物拡散領域の少なくとも一方に接続するスルーホールと、該スルーホール内の少なくとも一部に形成されたキャパシタとを有し、該スルーホールは、表面部及び底部よりも中間部の方が幅広く形成されている半導体装置、あるいは

3) 半導体基板上にゲートとその両側に一对の不純物拡散領域とを含むMOS FETを形成する工程と、該MOS FET を覆う複数層の絶縁膜を形成する工程と、該絶縁膜に該不純物拡散領域の少なくとも一方に接続し且つ表面部よりも内部の方が幅の広いスルーホールを形成する工程と、該スルーホール内の少なくとも一部にキャパシタを形成する工程とを含む半導体装置の製造方法、あるいは
 4) 半導体基板上にゲートとその両側に一对の不純物拡散領域とを含むMOS FETを形成する工程と、該MOS FET を覆う複数層の絶縁膜を形成する工程と、該絶縁膜に該不純物拡散領域の少なくとも一方に接続し且つ表面部及び底部よりも中間部の方が幅の広いスルーホールを形成する工程と、該スルーホール内の少なくとも一部にキャパシタを形成する工程とを含む半導体装置の製造方法、あるいは

5) 半導体基板上にゲートとその両側に一对の不純物拡散領域とを含むMOS FETを形成する工程と、該MOS FET を覆う絶縁膜を形成する工程と、該絶縁膜に該不純物拡散領域の少なくとも一方に接続し且つ表面部よりも内部の方が幅の広いスルーホールを形成する工程と、該スルーホール内の少なくとも一部にキャパシタを形成する工程とを含む半導体装置の製造方法、あるいは
 6) 半導体基板上にゲートとその両側に一对の不純物拡散領域とを含むMOS FETを形成する工程と、該MOS FET を覆う絶縁膜を形成する工程と、該絶縁膜に該不純物拡散領域の少なくとも一方に接続し且つ表面部及び底部よりも中間部の方が幅の広いスルーホールを形成する工程と、該スルーホール内の少なくとも一部にキャパシタを形成する工程とを含む半導体装置の製造方法、あるいは

7) 前記3または4において、複数層の絶縁膜はそれぞれ含有不純物により制御されてエッチレートが異なる半導体装置の製造方法、あるいは
 8) 前記3または4において、幅の広い部分は等方性エッチングによって形成される半導体装置の製造方法、あるいは
 9) 前記5または6において、スルーホールの形成は、異方性エッチングと等方性エッチングを繰り返して行われ、繰り返しの順番は異方性エッチングか先である半導体装置の製造方法により達成される。

【0010】図1(a),(b)は本発明の原理説明図である。図において、1は半導体基板でシリコン(Si)基板、2はフィールド酸化膜、3はゲート酸化膜、4はゲート、5は絶縁膜、6は窒化シリコン(Si_3N_4)膜、7は層間絶縁膜でボロン含有りん珪酸ガラス(BPSG)膜、8は層間絶縁膜で二酸化シリコン(SiO_2)膜、9はキャパシタの蓄積電極、10は誘電体膜、11はキャパシタの対向電極である。

【0011】本発明では、キャパシタコンタクトのためのスルーホールの形状を図1(a)のように、開口部(表面部)及びコンタクト部(底部)よりも、内部のホール径を大きくしている。

【0012】この内部のホール径は位置合わせ余裕を考慮することなく、隣接する導電膜との電気的分離を行うことができるぎりぎりの大きさまで広げることができる。このスルーホールの製造方法は、層間絶縁膜をエッチレート異なる2層以上の膜で形成し、異方性エッチングによるスルーホール形成後に、等方性エッチングによりエッチレートの差を利用して形成する。

【0013】絶縁膜の構造によって、スルーホールの形状は任意に決めることができ、図1(b)のようにすることもできる。このように、本発明は開口部及びコンタクト部の位置合わせ余裕と隣接する導電膜との電気的分離の要求を満たしつつ、キャパシタの容量を増加できる。

【0014】

【発明の実施の形態】

実施の形態(1)：図2は本発明の実施の形態(1)の説明図である。

【0015】図2(a)において、p型シリコン(p-Si)基板1に選択酸化法により厚さ200nmのフィールド酸化膜2を形成し、フィールド酸化膜に囲まれた活性領域に熱酸化により厚さ約7nmのゲート酸化膜3を形成する。

【0016】次いで、気相成長(CVD)法により、厚さ150nmのりんを含んだポリシリコン膜4を成長し、その上に厚さ100nmの SiO_2 膜5Aを成長した後、リソグラフィ工程と異方性エッチングを用いてパターンニングして、MOS FETのゲートを形成する。

【0017】次いで、ゲート及びフィールド酸化膜をマスクにして、りんイオン(P^+)をエネルギー20 KeV、ドーズ量 $1\text{E}14\text{ cm}^{-2}$ で注入し、MOS FETのソース、ドレイン1Aを形成する。

【0018】図2(b)において、厚さ100nmの SiO_2 膜を成長し、次いで異方性エッチングしてサイドウォールスペーサ5を形成する。図2(c)において、CVD法により、厚さ100nmの Si_3N_4 膜6と厚さ2 μm のBPSG膜7を成長する。

【0019】次いで、850℃の窒素雰囲気中で15分程度の熱処理を行ってBPSG膜7をリフローして基板表面を平坦化する。ここで、 Si_3N_4 膜6の下側に SiO_2 膜を敷いてもかまわない。

【0020】次いで、CVD法により、厚さ200nmの SiO_2 膜8を成長する。この SiO_2 膜8はスルーホール形成時のハードマスクを兼ねてもよい。また、ハードマスクとしてポリシリコン膜等の導電膜を用いてもよいが、この場合は、キャパシタとビット線が短絡しないように考慮する必要がある。

【0021】次いで、フォトリソグラフィ工程により、スルーホール形成用のレジストパターンを形成する。次いで、 SiO_2 膜8及びBPSG膜7を、 Si_3N_4 膜6と選択比のあるエッチングガス(例えば、 $\text{C}_4\text{F}_8 + \text{Ar} + \text{CO} + \text{O}_2$)を用いてエッチングする。その後エッチングストップとなっていた Si_3N_4 膜6を異方性エッチングし、スルーホール13を形成する。

【0022】次いで、弗酸(HF)処理等の等方性エッチングにより、エッチレートの差を利用してBPSG膜7を選択的にエッチングして後退させ、スルーホール内に径の大きな部分を形成する。このときのホール径の大きさは隣接する導電膜との電気的分離が行われている範囲に大きくできる。

【0023】なお、ソース、ドレイン1Aを露出するスルーホールはゲート4上まで延びているので、 Si_3N_4 膜6のエッチングを制御性良くおこなわないと、スルーホール内に形成される蓄積電極とゲートとの短絡が起こるため注意を要する。

【0024】また、コンタクト径が大きい場合や、フォトリソグラフィ工程での位置ずれが大きい場合は、スルーホールがフィールド酸化膜上まで延びてしまうが、 Si_3N_4 膜6のエッチングの際に図4(a)のようなフィールド酸化膜に食い込んだキャパシタの突出部を形成して、電界集中によりキャパシタの誘電体膜の絶縁破壊が起こりやすくなるので、回避する必要がある。このことから、コンタクト部の大きさに制約があることが分かり、一般的にはコンタクト径は位置合わせ余裕と電気的分離の両方で決まる。

【0025】図3(d)において、CVD法により、りんを含んだ厚さ100nmのポリシリコン膜を成長する。次いで機械的的化学研磨法により、スルーホールの内部以外のポリシリコン膜を除去し、スルーホールごとにキャパシタの蓄積電極9を形成する。14はビット線の引き出し部である。

【0026】次いで、CVD法により、蓄積電極9の表面に厚さ5nmの Si_3N_4 膜10を成長し、その後、 Si_3N_4 膜10を酸化して誘電体膜を形成する。次に、CVD法により、りんを含んだ厚さ100nmのポリシリコン膜を成長して、キャパシタの対向電極11を形成する。

【0027】次いで、フォトリソグラフィ工程により、ポリシリコン膜をエッチングしてビット線の引き出し部の Si_3N_4 膜の開口15を形成する。図3(e)において、CVD法により、基板上全面に厚さ350nmのBPSG膜16を成長し、その後、BPSG膜16を前記の条件でリフローして基板

表面を平坦化する。

【0028】ここで、BPSG膜の代わりに SiO_2 膜を成長して、平坦化は機械的的化学研磨で行っても良い。次いで、リソグラフィ工程により、BPSG膜16をエッチングしてビット線の引き出し部のBPSG膜の開口17を形成する。

【0029】ここで、キャパシタの内部ではホール径の大きな部分が存在するが、スルーホールの開口部は従来と変わらないので、位置合わせ余裕は従来どおりである。次いで、CVD法により、Ti、TiN、Wを順に成長して、リソグラフィ工程によりパターニングを行いビット線18を形成する。

【0030】このように、開口部及びコンタクト部では、位置合わせ余裕と電気的分離の要請からホール径が規定されているが、ホールの内部径は電気的分離の要請のみで決まるようなスルーホールを形成することにより、従来どおりの位置合わせ余裕で、キャパシタの容量増加を容易に行うことができる。

【0031】実施の形態(2)：この例は、図2(c)におけるスルーホールの形成が、実施の形態(1)と異なる。

【0032】図2(c)において、スルーホール形成用のレジストパターンを形成する。その後、 SiO_2 膜8及びBPSG膜7を Si_3N_4 膜6との選択比のあるエッチングガスを用いてエッチングする。このとき、エッチレートが $\text{BPSG} > \text{SiO}_2 > \text{Si}_3\text{N}_4$

の関係をもち、且つ異方性であるが、多少の等方性成分を持つエッチングガス、例えば、 $\text{C}_4\text{F}_8 + \text{Ar} + \text{CO} + \text{O}_2$ を用いることにより、BPSG膜を横方向に若干広げる。ここで、BPSG膜の横方向の広がりやBPSG膜の膜厚に依存する。

【0033】次いで、 Si_3N_4 膜6を等方性エッチングしてMOS FETのソース、ドレイン1Aを露出するスルーホール13を形成する。この Si_3N_4 膜6を等方性エッチングする場合において、このエッチレートが $\text{Si}_3\text{N}_4 > \text{BPSG} > \text{SiO}_2$

の関係があるエッチングガス、例えば、 $\text{SF}_6 + \text{HBr}$ を用いると、 SiO_2 膜8及びBPSG膜7のエッチングにおけるBPSG膜7の横方向の広がりが大きい場合には、スルーホールの形状は図1(a)のように、内部径が大きい形状となる。

【0034】また、横方向の広がりが小さい場合は、図1(b)のように、逆テーパの形状となる。また、この場合には内部径を大きくするエッチング工程では Si_3N_4 膜6のエッチングを兼ねているので工程増にはならない。

【0035】実施の形態(3)：実施の形態(1)及び(2)ではキャパシタとビット線引き出し部を同時に開口しているが、キャパシタを形成した後に、ビット線引き出し部を開口してもよい。

【0036】また、キャパシタのコンタクトをゲートに対して自己整合で形成しているが通常の位置合わせによりコンタクトを形成してもよい。

実施の形態(4)：実施の形態(1)及び(2)ではキャパシタとビット線引き出し部を同時に開口しているが、ビット線引き出し部を開口した後に、キャパシタを形成してもよい。

【0037】また、キャパシタのコンタクトをゲートに対して自己整合で形成しているが通常的位置合わせによりコンタクトを形成してもよい。なお、層間絶縁膜にスルーホールを形成するエッチングで、 Si_3N_4 膜上のBPSG膜を途中まで異方性エッチングし、その後、等方性エッチングを行い、再び異方性エッチングを行って、スルーホール内に径の大きな部分を形成する。さらに異方性エッチングと等方性エッチングを繰り返して複数の径の大きな部分を形成しても良い。この際、表面開口部の径を規定するため、最初のエッチングは異方性エッチングで行う。

【0038】

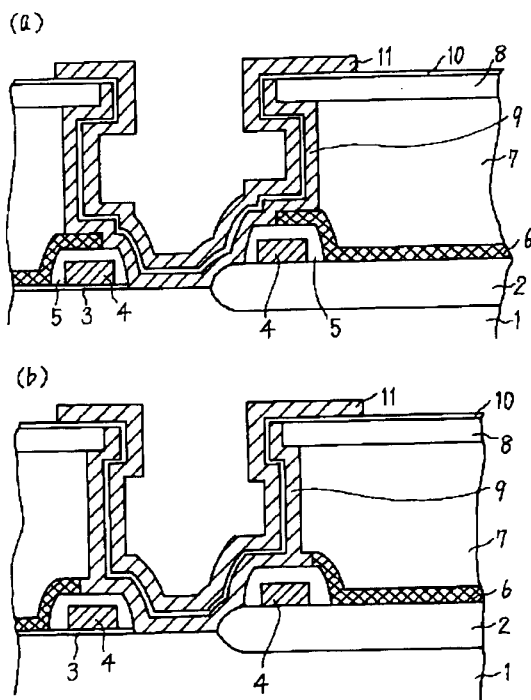
【発明の効果】本発明によれば、キャパシタコンタクトの開口部及びビット線コンタクト部の位置合わせ余裕と隣接する導電膜との電気的分離の要求を満たしつつ、キャパシタの容量を増加することができる。

【図面の簡単な説明】

【図1】 本発明の原理説明図

【図1】

本発明の原理説明図



【図2】 本発明の実施の形態(1)の説明図

【図3】 本発明の実施の形態(2)の説明図

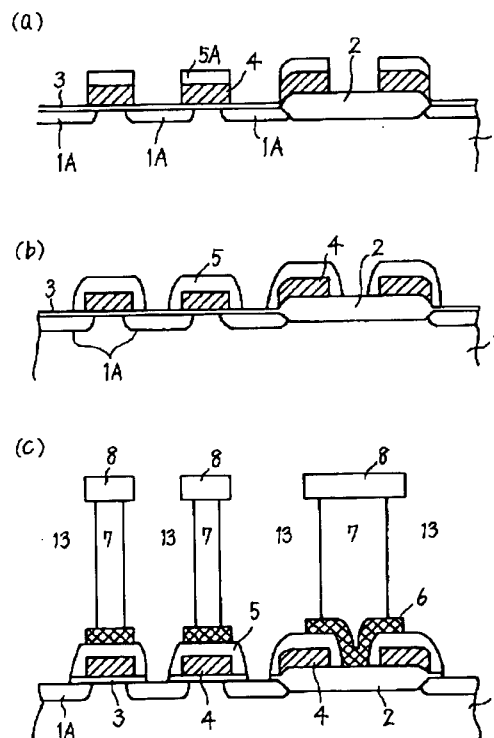
【図4】 従来例の説明図

【符号の説明】

- 1 半導体基板でシリコン(Si)基板
- 2 フィールド酸化膜
- 3 ゲート酸化膜
- 4 ゲート
- 5 絶縁膜
- 6 窒化シリコン(Si_3N_4)膜
- 7 層間絶縁膜でボロン含有りん珪酸ガラス(BPSG)膜
- 8 層間絶縁膜で二酸化シリコン(SiO_2)膜
- 9 キャパシタの蓄積電極
- 10 誘電体膜
- 11 キャパシタの対向電極
- 12 層間絶縁膜
- 13 スルーホール
- 14 ビット線コンタクト部のBPSG膜
- 15 ビット線コンタクト部の Si_3N_4 膜の開口
- 16 BPSG膜
- 17 ビット線コンタクト部のBPSG膜の開口
- 18 ビット線

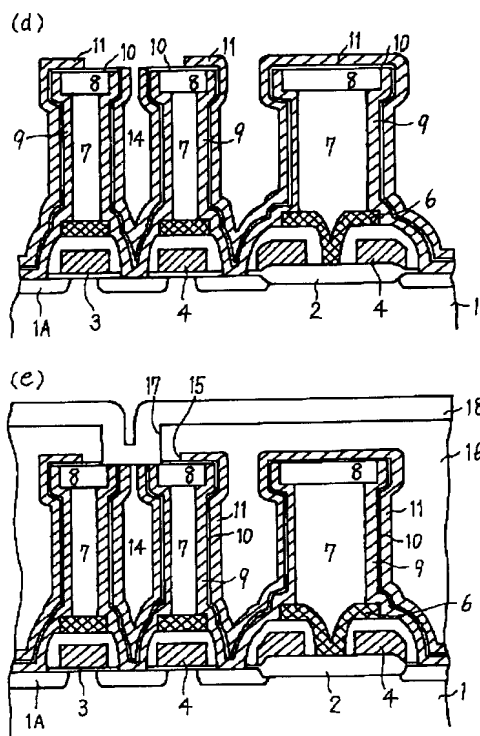
【図2】

本発明の実施の形態の説明図(1)



【図3】

本発明の実施の形態の説明図(2)



【図4】

従来例の説明図

